



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0041514
Application Number

출원년월일 : 2003년 06월 25일
Date of Application JUN 25, 2003

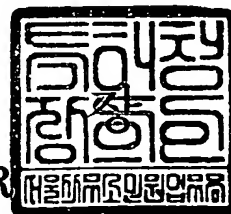
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.06.25
【발명의 명칭】	반도체 장치의 웨이퍼 정렬용 정렬 마크
【발명의 영문명칭】	ALIGNMENT MARK FOR ALIGNMENT OF WAFER OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	배상만
【성명의 영문표기】	BAE, Sang Man
【주민등록번호】	640119-1635139
【우편번호】	361-725
【주소】	충청북도 청주시 흥덕구 봉명동 353-5 LG-하이닉스 사원아파트 가-20 8
【국적】	KR
【발명자】	
【성명의 국문표기】	김형수
【성명의 영문표기】	KIM, Hyeong Soo
【주민등록번호】	650224-1559719
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1065 용인수지 신정마을 1단지 108-1 105
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
특허법인 신성 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 4 면 4,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 6 항 301,000 원

【합계】 334,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 별도의 추가 비용없이 고감도의 검출 신호를 얻을 수 있는 웨이퍼 정렬용 정렬 마크와 그 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 반도체층 상에 제공되는 제1마크; 상기 제1마크와 이웃하는 상기 반도체층 상에 제공되는 제2마크; 및 상기 제1마크와 상기 제2마크 사이의 상기 반도체층이 일부 식각되어 형성된 오목부를 포함하며, 상기 오목부와 상기 제1마크 또는 제2마크 사이의 단차로 인해 발생하는 경사면을 통해 반사된 0차 회절광을 검출하여 웨이퍼 정렬을 위해 사용하기 위한 웨이퍼 정렬용 정렬 마크를 제공한다.

또한, 상기의 목적을 달성하기 위한 본 발명은, 상기 정렬 마크를 형성하는 방법에 있어서, 상기 반도체층 상에 제1마스크 패턴을 이용하여 상기 반도체층을 선택적으로 식각하여 일정 간격을 갖는 복수의 상기 오목부를 형성하는 단계; 상기 오목부가 형성된 전체 구조 상부에 소정의 물질막을 증착하는 단계; 및 제2마스크 패턴을 이용하여 상기 물질막을 선택적으로 식각하여 이웃하는 상기 제1마크 및 제2마크를 형성하는 단계를 포함하는 웨이퍼 정렬용 정렬 마크 형성 방법을 제공한다.

【대표도】

도 3

【색인어】

정렬 마크(Alignment mark), LSA(Laser Scanning Alignment), FIA(Field Image Alignment), SPM, 마크 패턴, 오목부, 회절광, 0차 회절광.

【명세서】**【발명의 명칭】**

반도체 장치의 웨이퍼 정렬용 정렬 마크{ALIGNMENT MARK FOR ALIGNMENT OF WAFER OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 통상적인 축소노광장치를 도시한 구성도.

도 2는 정렬 마크로 부터 반사 회절되는 광의 검출 메카니즘을 도시한 개념도.

도 3은 본 발명의 일실시예에 따른 웨이퍼 정렬용 정렬 마크가 형성된 반도체 장치의 단면 및 평면도.

도 4는 본 발명의 정렬 마크를 LSA 적용시와 종래기술의 LSA를 비교한 예를 도시한 평면도.

도 5는 본 발명의 정렬 마크를 FIA 적용시와 종래기술의 FIA를 비교한 예를 도시한 평면도.

도 6은 본 발명의 정렬 마크를 SPM 적용시와 종래기술의 SPM를 비교한 예를 도시한 평면도.

도 7은 본 발명의 정렬 마크와 종래기술의 정렬 마크를 이용한 경우의 CMP 공정 후의 웨이퍼에서 검출된 레이저 신호의 크기를 비교하여 도시한 그래프.

도 8은 본 발명의 정렬 마크와 종래기술의 정렬 마크를 이용한 경우의 검출된 레이저 신호의 크기를 각각 비교하여 도시한 그래프.

***도면의 주요 부분에 대한 부호의 설명**

30 : 반도체층 31 : 마크 패턴

32 : 오목부 33 : 마크 패턴의 상부 평탄한 면

34 : 경사면 35 : 입력되는 광

38 : 경사면에서 반사되는 0차광 39 : 경사면에서 반사되는 1차광

40 : 검출기 41 : 마스크층

42 : 상부 물질막

36 : 마크 패턴의 평탄한 상부면에서 반사되는 0차광

37 : 마크 패턴의 평탄한 상부면에서 반사되는 1차광

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 반도체 장치의 정렬 마크(Alignment mark)에 관한 것으로, 특히 사입사(Off-axis illumination) 효과를 이용한 정렬 마크와 그 제조 방법에 관한 것이다.

<19> 일반적으로, 고집적 반도체 장치는 복수개의 노광 마스크가 중첩 사용되는 복잡한 공정을 거치게 되며, 단계별로 사용되는 노광 마스크들 간의 정렬은 특정 형상의 마크를 기준으로 이루어진다.



- <20> 이러한 마크를 정렬 마크, 중첩 마크 혹은 정렬 키(Alignment key)라 하며, 상기 정렬 마크는 오버랩 공정을 위해 필수적이다.
- <21> 도 1은 통상적인 축소노광장치를 도시한 구성도이며, 도 2는 정렬 마크로 부터 반사 회절되는 광의 검출 메카니즘을 도시한 개념도이다.
- <22> 도 1을 참조하면, 축소노광장치는 스테이지(8) 위에 웨이퍼(9)를 올려 놓은 다음, 축소노광장치 내에 레티클(11, Reticle)을 장착하고 광(12), 예컨대 파장이 365nm인 i-라인, 파장이 196nm인 ArF 또는 DUV(Deep UltraViolet) 레이저 등을 입사하여 레티클 상의 패턴 이미지(Pattern image)를 웨이퍼(9)에 전달하도록 구성된다.
- <23> 이 때, 웨이퍼(9)에는 이미 다른 패턴이 형성되어 있고 그 위에 포토레지스트가 도포되어 있으므로, 레티클 상의 이미지 패턴을 이미 형성되어 있는 웨이퍼(9)의 패턴에 중첩시키기 위해서는 웨이퍼 정렬을 실시하여야 한다. 따라서, 도면에 도시된 바와 같이, 축소노광장치에는 웨이퍼 정렬을 위한 정렬 시스템(100)이 별도로 구비된다. 웨이퍼 정렬 시스템(100)은 LSA(Laser Scanning Alignment)라고 잘 알려진 방법으로 정렬을 실시하며, 보통의 정렬 방식은 LSA 이외에 FIA(Field Image Alignment) 또는 LIA(Laser Image Alignment) 등 많은 방식들이 있다. 이들은 웨이퍼 정렬을 위해 웨이퍼 상에 이미 형성되어 있는 정렬 마크 형태에 따라 적당히 사용할 수 있도록 되어 있다.
- <24> 도 1에 도시된 바와 같이, 웨이퍼 정렬 시스템(100)은, 정렬 광원을 발생하는 광 발생부(101)와, 광원의 빔 형상을 결정하는 빔 셰이핑부(102, Beam Shaping part)와, 빔 검출기(105)와, 빔 셰이핑부(102)로부터의 광이 빔 가이드부(104) 및 프로젝트 렌즈(7)를 통해 웨이퍼(9)로 입사하도록 하고 웨이퍼(9)로부터 반사된 1차(1st order) 회절광을 다시 빔 검출기(105)에서 검출할 수 있도록 하는 빔 스플리터(103, Beam splitter)를 구비하여 구성된다.

- <25> 또한, 도 2를 참조하면, 웨이퍼(9) 상에 복수개의 정렬 마크(10)가 단일 패턴의 형태로 형성되어 있다, 도 1의 프로젝트 렌즈(7)를 통해 웨이퍼(9)에 입사된 광(13)은 정렬 마크(10)로부터 반사되며, 이 때 1차 회절광(14)이 검출기(105)로 입사하며, 검출 결과를 통해 웨이퍼 정렬을 하게 된다.
- <26> 이러한 정렬 마크(10)는 예컨대, 반도체 메모리 장치의 경우 셀 영역의 패턴과 동시에 형성되며, 아울러 셀 영역에 영향을 주지 않는 스크라이브 레인(Scribe lane) 부분에 형성된다.
- <27> 한편, 예컨대, 100nm의 최소 선폭을 갖는 반도체 장치 제조 기술에서는 화학적기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 등의 많은 공정이 추가되어 정렬 마크가 손상되고, 또한 박막 증착 두께가 증가하여 정렬 마크를 판별하는 것이 어려워져, 결국 웨이퍼 정렬에 어려움이 있다.
- <28> 즉, 전술한 도 1 및 도 2의 방식을 적용한 종래의 웨이퍼 정렬 방식으로는 웨이퍼에 일정한 크기 모양의 정렬 마크를 형성하고, 이후 다른 마스크 패턴을 웨이퍼에 정 정렬하기 위해 정렬 마크로부터 나오는 반사광의 1차광, 3차광 혹은 5차광만을 사용하였다. 이러한 방식은 단일 패턴 모양(우물 모양)의 정렬 마크에서 반사되는 회절광의 일부분만을 선택 사용하여 정렬하는 것으로, 전술한 바와 웨이퍼에 어느 정도의 충격이 가해지는 CMP 등의 공정에서 정렬 마크가 손상되고 또한, 박막 두께가 증가함으로 인해 정렬 마크로부터 반사되는 빔의 세기가 미약하게 되어 고감도를 갖는 검출신호를 얻기가 힘들게 되었으며, 이로 인해 웨이퍼 정렬의 어려움이 발생하여 전체적으로 반도체 장치의 생산성 저하를 초래하게 되었다.



【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 별도의 추가 비용없이 고감도의 검출 신호를 얻을 수 있는 웨이퍼 정렬용 정렬 마크와 그 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<30> 상기의 목적을 달성하기 위한 본 발명은, 반도체층 상에 제공되는 제1마크; 상기 제1마크와 이웃하는 상기 반도체층 상에 제공되는 제2마크; 및 상기 제1마크와 상기 제2마크 사이의 상기 반도체층이 일부 식각되어 형성된 오목부를 포함하며, 상기 오목부와 상기 제1마크 또는 제2마크 사이의 단차로 인해 발생하는 경사면을 통해 반사된 0차의 회절광을 검출하여 웨이퍼 정렬을 위해 사용하기 위한 웨이퍼 정렬용 정렬 마크를 제공한다.

<31> 또한, 상기의 목적을 달성하기 위한 본 발명은, 상기 정렬 마크를 형성하는 방법에 있어서, 상기 반도체층 상에 제1마스크 패턴을 이용하여 상기 반도체층을 선택적으로 식각하여 일정 간격을 갖는 복수의 상기 오목부를 형성하는 단계; 상기 오목부가 형성된 전체 구조 상부에 소정의 물질막을 증착하는 단계; 및 제2마스크 패턴을 이용하여 상기 물질막을 선택적으로 식각하여 이웃하는 상기 제1마크 및 제2마크를 형성하는 단계를 포함하는 웨이퍼 정렬용 정렬 마크 형성 방법을 제공한다.

<32> 본 발명은, 정렬 마크 패턴 간의 사이를 계단형 형태로 만들거나, 완만한 경사를 갖도록 한다. 따라서, 정렬 마크의 상부면에서 반사되는 1차광, 2차광 및 3차광 뿐만아니라, 비교

적 반사 강도가 높은 정렬 마크의 측면에서 반사되는 0차(사입사 효과의 노광 중 0차)광과 합성된 광을 검출함으로써, 웨이퍼 정렬을 위해 정렬 마크로부터 반사되는 광 감도를 향상시킬 수 있다.

- <33> 예컨대, 전술한 계단형 우물 모양의 형태는 기존의 $4\mu\text{m}$ 또는 $6\mu\text{m}$ 반복 피치크기를 그대로 유지하기 위해서 기존보다 정렬 마크의 크기를 1/2 또는 1/3 등의 사이즈로 축소하여 사용한다
- <34> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명한다.
- <35> 도 3은 본 발명의 일실시예에 따른 웨이퍼 정렬용 정렬 마크가 형성된 반도체 장치의 단면 및 평면도이다.
- <36> 여기서, 도 3의 (a)는 평면도를 나타내며, 도 3의 (b)는 도 3의 (a)를 a-a' 방향으로 절취한 단면도이다.
- <37> 도 3을 참조하면, 정렬 마크는 반도체층(30) 상에 소정의 간격으로 이웃하여 제공된 복수의 마크 패턴(31)과, 마크 패턴(31) 사이의 반도체층(30)이 일부 식각되어 형성된 복수의 오목부(32)를 구비하며, 오목부(32)와 마크 패턴(31)이 이루는 단차로 인해 발생하는 경사면(34)을 통해 반사된 0차의 회절광(38)을 검출기(40)를 통해 검출하여 웨이퍼 정렬을 사용한다.



- <38> 마크 패턴(31)의 평탄한 상부면(33)에서 반사되는 ㄲ차광(37)과, ㄴ차광 및 ㄷ차광도 검출기(40)를 통해 검출한다. 아울러, 입력되는 광(35) 중 마크 패턴(31)의 평탄한 상부면(33)에서 반사되는 0차광(36)은 블레이드(Blade) 처리되어 제거된다.
- <39> 여기서, 반도체층(30)은 웨이퍼 또는 웨이퍼 상에 형성된 소정의 물질막일 수 있다.
- <40> 오목부(32)와 마크 패턴(31)은 그 단면 형상이 마치 계단 형상을 이루고 있으며, 후속 공정에 의해 증착되는 물질막(42) 예컨대, 실리콘 산화막에 의해 오목부(32)와 마크 패턴(31) 사이에 경사면(34)이 형성된다.
- <41> 미설명된 도면부호 '39'는 경사면(34)에서 반사되는 ㄲ차 회절광을 나타내며, 도면부호 '41'은 오목부(32) 형성시 반도체층(30)의 식각을 방지하고 식각 프로파일을 얻기 위해 사용하는 마스크층(41)으로서, 통상적인 실리콘 질화막을 포함한다.
- <42> 여기서, 마크 패턴(31)과 오목부(32)가 이루는 단면 형상을 산 또는 우물의 형상으로 형성함에 있어서, 종래의 예컨대, $4\mu\text{m}$ 또는 $6\mu\text{m}$ 의 반복되는 피치 크기(마크 패턴 사이의 간격)를 유지하기 위해 마크 패턴(31)의 폭(W) 구체적으로, 나열 방향으로의 사이즈를 종래의 1/3 또는 1/2로 줄이는 것이 바람직하다.
- <43> 따라서, 마크 패턴(31)의 평탄한 상부면(33)에서 반사되는 ㄲ차광(37)(보통 반사되는 전체 강도의 7% 이내)와 오목부(32)와 마크 패턴(31)이 이루는 단차로 인해 발생하는 경사면(34)을 통해 반사된 0차의 회절광(38)(보통 반사되는 전체 강도의 90% 이상)을 합한 광을 검출할 수 있어 마크 인식시의 감도를 향상시킬 수 있다.
- <44> 한편, 본 발명에 제시한 별도의 오목부(32)를 구비하지 않더라도 종래의 경우 마크 패턴(31) 자체의 두께에 의해 마크 패턴(31) 사이에서 유도되는 경사면에 의한 0차 회절광(38)을

사용할 수 있다고 할 수도 있으나, 별도의 오목부(32)가 없을 경우 이로 인해 얻어지는 0차 회절광(38)은 극히 미약하며, 본 발명에서와 같이 별도의 오목부(32)를 형성함으로써 마크 패턴(31) 사이의 단차를 더욱 크게 유도하여 경사면(34)에서의 0차 회절광(38)의 강도를 높일 수 있다. 아울러, 오목부(32)로 인해 상부형 형성되는 막의 두께가 증가하더라도 마크 패턴(31)의 윤곽(프로파일)이 그대로 유지될 수 있다.

<45> 아울러, 전술한 바와 같이 나열 방향으로 마크 패턴(31)의 사이즈를 줄임으로써, 종래의 마크 피치와 동일하게 유지할 수 있어 종래의 노광 장치에서 사용이 가능하므로 별도의 추가 비용을 줄일 수 있다.

<46> 이하, 도 3에 도시된 마크 패턴을 형성 공정을 간략히 설명한다.

<47> 반도체층(30) 상에 마스크층(41)을 증착한 다음, 마스크층(41) 상에 포토레지스트를 도포하고, 오목부(32) 형성을 위한 제1마스크 패턴을 이용한 노광 및 현상 공정을 실시하여 포토레지스트 패턴(도시하지 않음)을 형성한 다음, 포토레지스트 패턴을 식각마스크로 마스크층(41)을 식각하여 오목부(32)가 형성될 패턴 영역을 정의한다. 이어서, 포토레지스트 스트립 공정을 통해 포토레지스트 패턴을 제거한 다음, 마스크층(41)을 식각마스크로 반도체층(30)을 식각하여 오목부(31)를 형성한다.

<48> 오목부(31)가 형성된 전체 구조 상부에 마크 패턴(42) 형성을 위한 물질막(예컨대, 실리콘 산화막)을 증착한 다음, 포토레지스트를 도포하고, 마크 패턴(42) 형성을 위한 제2마스크 패턴을 이용한 노광 및 현상 공정을 실시하여 포토레지스트 패턴(도시하지 않음)을 형성한 다음, 포토레지스트 패턴을 식각마스크로 물질막을 식각하여 이웃하는 복수의 마크 패턴(31)을 형성한다.

- <49> 이어서, 포토레지스트 패턴을 제거한다. 도 3에서는 후속 공정으로 실리콘 산화막 등의 물질막(42)이 추가로 증착된 공정 단면을 나타낸다.
- <50> 여기서, 전술한 제1마스크 패턴과 제2마스크 패턴은 소자분리막(ISO; ISolation) 패턴, 게이트전극 패턴, 비트라인 패턴, 랜딩 플러그 콘택(LPC; Landing Plug Contact) 패턴, 스토리지노드 콘택(SNC; Storage Node Contact) 패턴, 메탈 패턴(M1, M2) 또는 메탈 콘택(MC; Metal Contact) 등의 패턴 형성을 위한 레이아웃을 모두 포함하므로, 전술한 각 공정 진행시 상기 두 마스크 패턴 모두를 번갈아 사용하게 된다.
- <51> 한편, 전술한 정렬 마크는, LSA, FIA 또는 SPM 용 정렬 마크에 모두 적용이 가능하며, 이하에서는 각각의 예에 적용되었을 경우를 첨부된 도면을 참조하여 살펴 본다.
- <52> 도 4는 본 발명의 정렬 마크를 LSA 적용시와 종래기술의 LSA를 비교한 예를 도시한 평면도이다.
- <53> 도 4를 참조하면, FIA는 일본 니콘(NIKON)사에서 개발된 정렬 마크의 상품명으로서, 종래기술에서는 웨이퍼(40) 상에 예컨대, 정사각형(또는 직사각형)의 정렬 마크(41)가 일정 간격으로 배치되어 있으며, 정렬 마크(41)의 각 상단부에서 반사된 0차 회절광을 검출하였다.
- <54> 한편, 도 4의 우측에 나타난 본 발명의 경우에는, 종래의 피치와 실질적으로 동일한 피치를 갖도록 각 마크 패턴(41')의 폭을 줄이고, 각 마크 패턴(41') 사이에 오목부(42)를 형성하여 마크 패턴(41') 사이에서의 단차를 증가시켜 마크 패턴(41')의 각 상단부에서 반사된 0차 회절광 뿐만아니라, 경사면에서의 0차 광을 사용할 수 있도록 하였다.
- <55> 도 5는 본 발명의 정렬 마크를 FIA 적용시와 종래기술의 FIA를 비교한 예를 도시한 평면도이다.

- <56> 도 5를 참조하면, LSA 또한 일본 니콘사에서 개발된 정렬 마크의 상품명으로서, 종래기술에서는 웨이퍼(40) 상에 직사각형 형태의 정렬 마크(41)가 일정 간격으로 배치되어 있으며, 정렬 마크(41)의 각 상단부에서 반사된 0차 회절광을 검출하였다.
- <57> 한편, 도 5의 하단에 나타난 본 발명의 경우에는, 종래의 피치와 실질적으로 동일한 피치를 갖도록 각 마크 패턴(41')의 폭을 줄이고, 즉 x 방향으로 줄이고, 각 마크 패턴(41') 사이에 오목부(42)를 형성하여 마크 패턴(41') 사이에서의 단차를 증가시켜 마크 패턴(41')의 각 상단부에서 반사된 0차 회절광 뿐만아니라, 경사면에서의 0차 광을 사용할 수 있도록 하였다. 여기서, 마크 패턴(41')이 클리어(Clear) 패턴이면 오목부(42)는 일종의 다크(Dark) 패턴이라 할 수 있다.
- <58> 여기서, 마크 패턴(41')의 나열 방향과 직교하는 방향 즉, y축 방향의 경우에는 그 사이를 종래와 동일하게 하였다.
- <59> 도 6은 본 발명의 정렬 마크를 SPM 적용시와 종래기술의 SPM를 비교한 예를 도시한 평면도이다.
- <60> 도 6을 참조하면, SPM은 ASML사에서 개발된 정렬 마크의 상품명으로서, 종래기술에서는 직사각형 형태의 정렬 마크(41)가 일정 간격으로 배치되어 하나의 그룹(61)을 이루고 있으며, 두 개의 그룹(61) 사이에는 마크 식별을 위한 식별 표시(60)이 배치되어 있다. 따라서, 여기서도 정렬 마크(41)의 각 상단부에서 반사된 0차 회절광만을 검출하였다.
- <61> 한편, 도 6의 하단에 나타난 본 발명의 경우에는, 종래의 피치와 실질적으로 동일한 피치를 갖도록 각 마크 패턴(41')의 폭을 줄이고, 즉 x 방향으로 줄이고, 각 마크 패턴(41') 사이에 오목부(42)를 형성하여 마크 패턴(41') 사이에서의 단차를 증가시켜 마크 패턴(41')의

각 상단부에서 반사된 0차 회절광 뿐만아니라, 경사면에서의 0차 광을 사용할 수 있도록 하였다.

<62> 여기서도 마크 패턴(41')의 나열 방향과 직교하는 방향 즉, y축 방향의 경우에는 그 사이즈를 종래와 동일하게 하였다.

<63> 도 7은 본 발명의 정렬 마크와 종래기술의 정렬 마크를 이용한 경우의 CMP 공정 후의 웨이퍼에서 검출된 레이저 신호의 크기를 비교하여 도시한 그래프이다.

<64> 도 7을 참조하면, 웨이퍼의 상부에서 부터 웨이퍼 중앙 및 가장자리까지의 변화에 따른 종래기술(p)과 본 발명(q)의 검출 신호의 크기를 전압의 값(V)으로 나타낸 것으로, 종래(p)의 경우 전체적으로 본 발명(q)에 비해 신호의 세기가 작으며, 웨이퍼의 상단 부분이 정렬 실패 라인(X)에 해당함을 알 수 있다.

<65> 도 8은 본 발명의 정렬 마크와 종래기술의 정렬 마크를 이용한 경우의 검출된 레이저 신호의 크기를 각각 비교하여 도시한 그래프이다.

<66> 도 8의 (a)는 종래의 LSA 마크를 사용하여 웨이퍼를 정렬시킬 때 검출된 정렬 마크의 신호인 바, 도 8의 (a)에서 표시된 중앙 점에서 벗어난 신호로 인해 웨이퍼 정렬이 실패됨 것을 나타내고 있으며, 아울러 이 때의 검출된 신호 콘트라스트(Contrast)도 미약하다.

<67> 도 8의 (b)는 본 발명의 계단 우물 형식의 다중 마크가 조합되어 있는 상태에서 검출된 LSA 마크 신호이다, 두 개의 형태(블록 마크, 오목 마크가 동시 조합)에서는 검출된 신호의 콘트라스트가 종래보다 크며, CMP 손상을 상대적으로 적게할 수 있어서, 신호의 중앙 점을 쉽게 검출할 수 있다.

<68> 전술한 바와 같이 이루어지는 본 발명은, 마크 패턴의 나열 방향으로 오목부를 추가로 형성함으로써, 정렬 마크의 평탄한 상부면에서 반사되며, 보통 반사되는 광 전체 강도의 7% 이내를 강도를 갖는 1차광과 오목부와 마크 패턴이 이루는 단차로 인해 발생하는 경사면을 통해 반사되며, 보통 반사되는 전체 강도의 90% 이상의 강도를 갖는 0차의 회절광 합한 광을 검출할 수 있어 마크 인식시의 감도를 향상시킬 수 있으며, 이 때 나열 방향으로 마크 패턴의 사이즈를 줄임으로써, 종래의 마크 피치와 동일하게 유지할 수 있어 종래의 노광 장치에서 사용이 가능하므로 별도의 추가 비용을 줄일 수 있음을 실시예를 통해 알아 보았다.

<69> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<70> 상술한 바와 같은 본 발명은, 별도의 추가 비용없이 정렬 마크를 이용한 광 검출 효율 향상시킬 수 있어, 궁극적으로 반도체 장치의 생산성을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】

【청구항 1】

반도체층 상에 제공되는 제1마크;

상기 제1마크와 이웃하는 상기 반도체층 상에 제공되는 제2마크; 및

상기 제1마크와 상기 제2마크 사이의 상기 반도체층이 일부 식각되어 형성된 오목부를 포함하며,

상기 오목부와 상기 제1마크 또는 제2마크 사이의 단차로 인해 발생하는 경사면을 통해 반사된 0차의 회절광을 검출하여 웨이퍼 정렬을 위해 사용하기 위한 웨이퍼 정렬용 정렬 마크.

【청구항 2】

제 1 항에 있어서,

상기 제1마크 또는 상기 제2마크의 평탄한 상부면에서 반사되는 1차광, 2차광 및 3차광을 검출하여 웨이퍼 정렬을 위해 사용하는 것을 특징으로 하는 웨이퍼 정렬용 정렬 마크.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 정렬 마크는, LSA(Laser Scanning Alignment), FIA(Field Image Alignment) 또는 SPM 용 정렬 마크인 것을 특징으로 하는 웨이퍼 정렬용 정렬 마크.

**【청구항 4】**

제 1 항 또는 제 2 항에 의한 정렬 마크를 형성하는 방법에 있어서,

상기 반도체층 상에 제1마스크 패턴을 이용하여 상기 반도체층을 선택적으로 식각하여 일정 간격을 갖는 복수의 상기 오목부를 형성하는 단계;

상기 오목부가 형성된 전체 구조 상부에 소정의 물질막을 증착하는 단계; 및

제 2마스크 패턴을 이용하여 상기 물질막을 선택적으로 식각하여 이웃하는 상기 제1마크 및 제2마크를 형성하는 단계

를 포함하는 웨이퍼 정렬용 정렬 마크 형성 방법.

【청구항 5】

제 4 항에 있어서,

상기 제1마스크 패턴 및 상기 제2마스크 패턴은 소자분리막(ISO) 패턴, 게이트전극 패턴, 비트라인 패턴, 랜딩 플러그 콘택(LPC) 패턴, 스토리지노드 콘택(SNC) 패턴, 메탈 패턴(M1, M2) 또는 메탈 콘택(MC) 패턴 형성을 위한 레이아웃을 모두 포함하는 것을 특징으로 하는 웨이퍼 정렬용 정렬 마크 형성 방법.

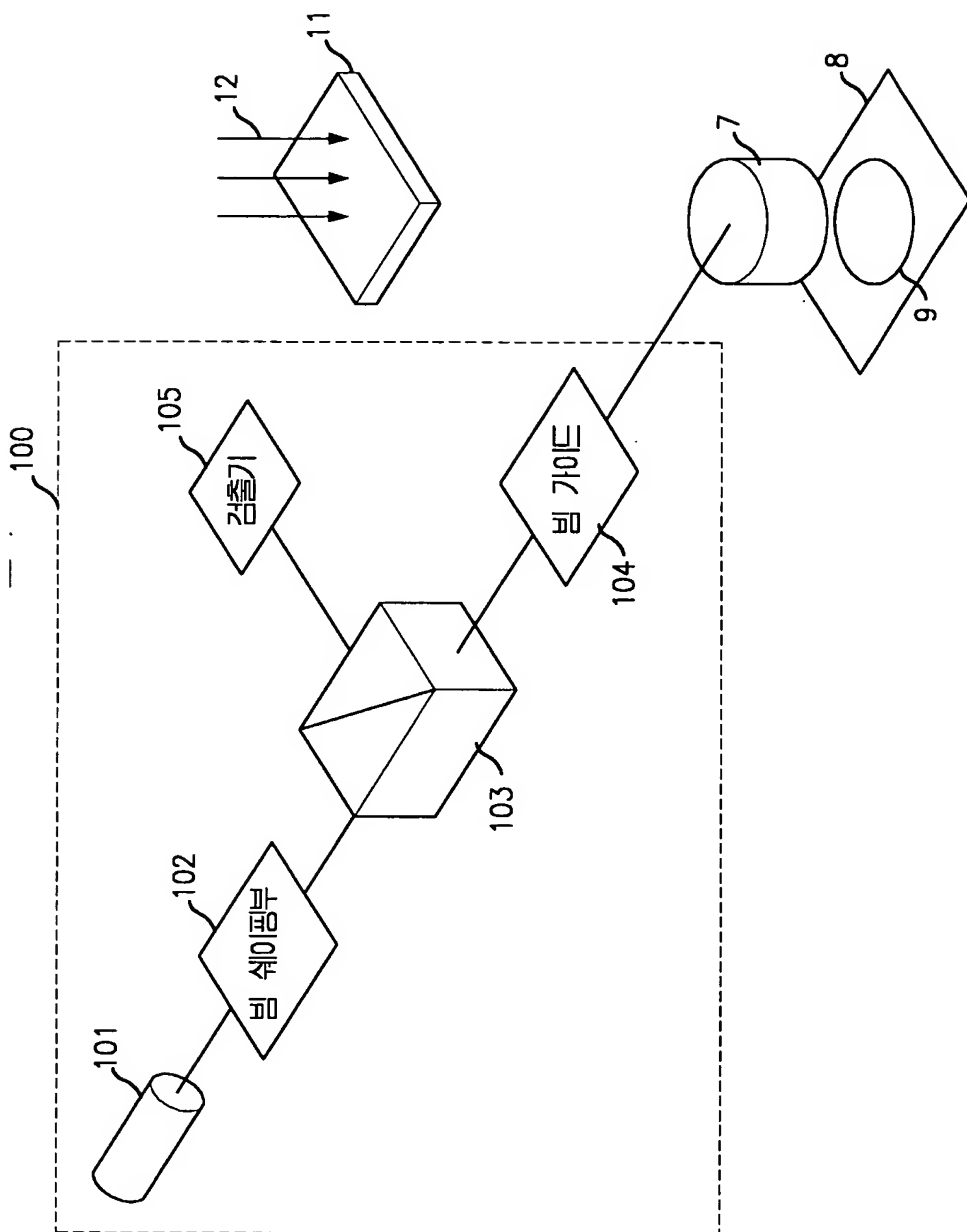
【청구항 6】

제 4 항에 있어서,

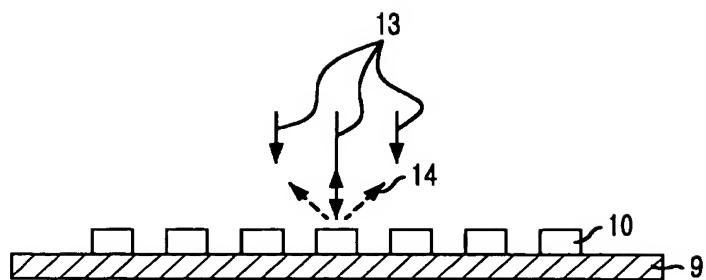
상기 정렬 마크는, LSA, FIA 또는 SPM 용 정렬 마크인 것을 특징으로 하는 웨이퍼 정렬용 정렬 마크 형성 방법.

【도면】

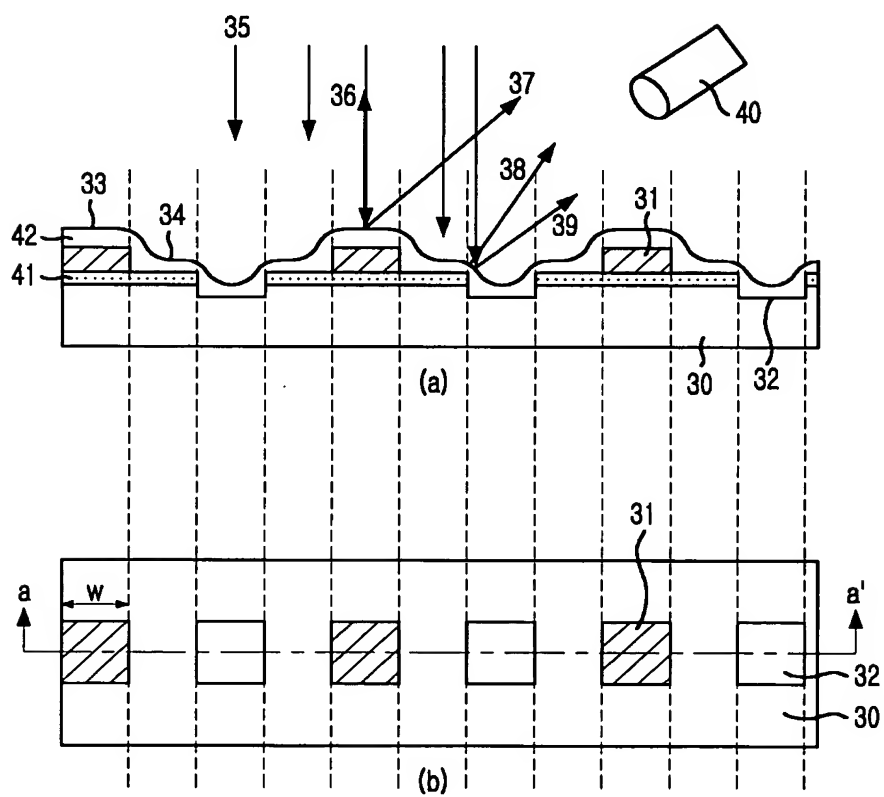
【도 1】



【도 2】

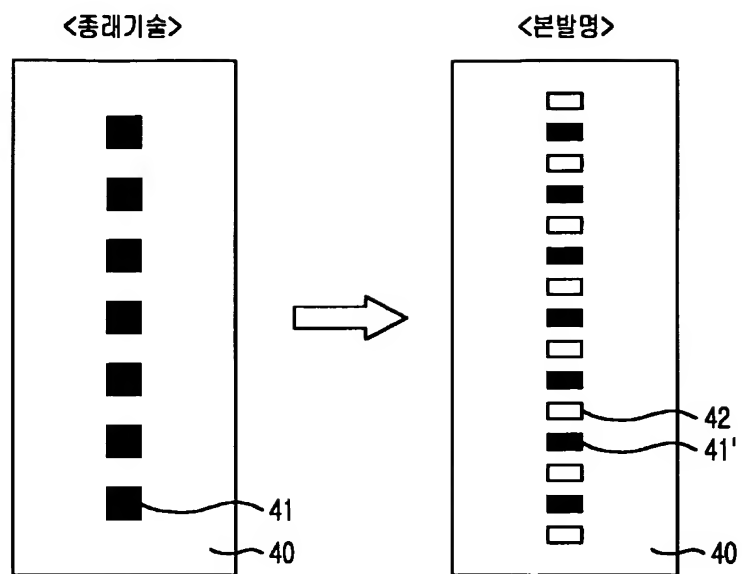


【도 3】

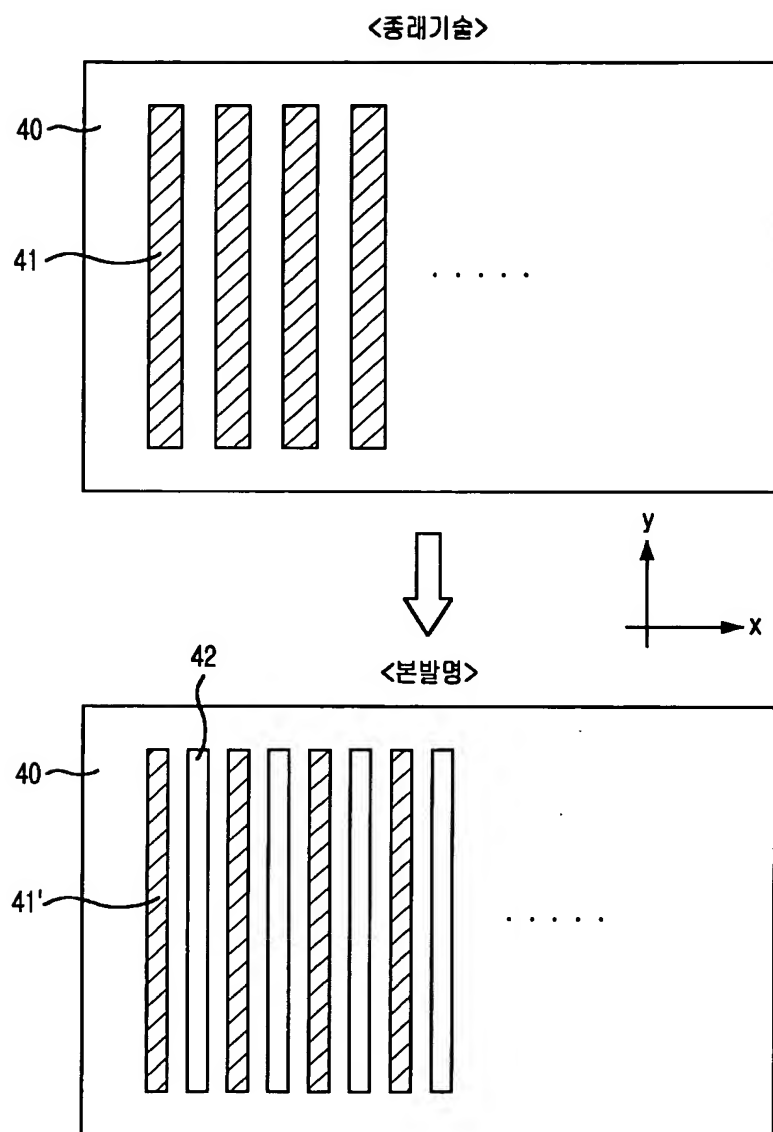




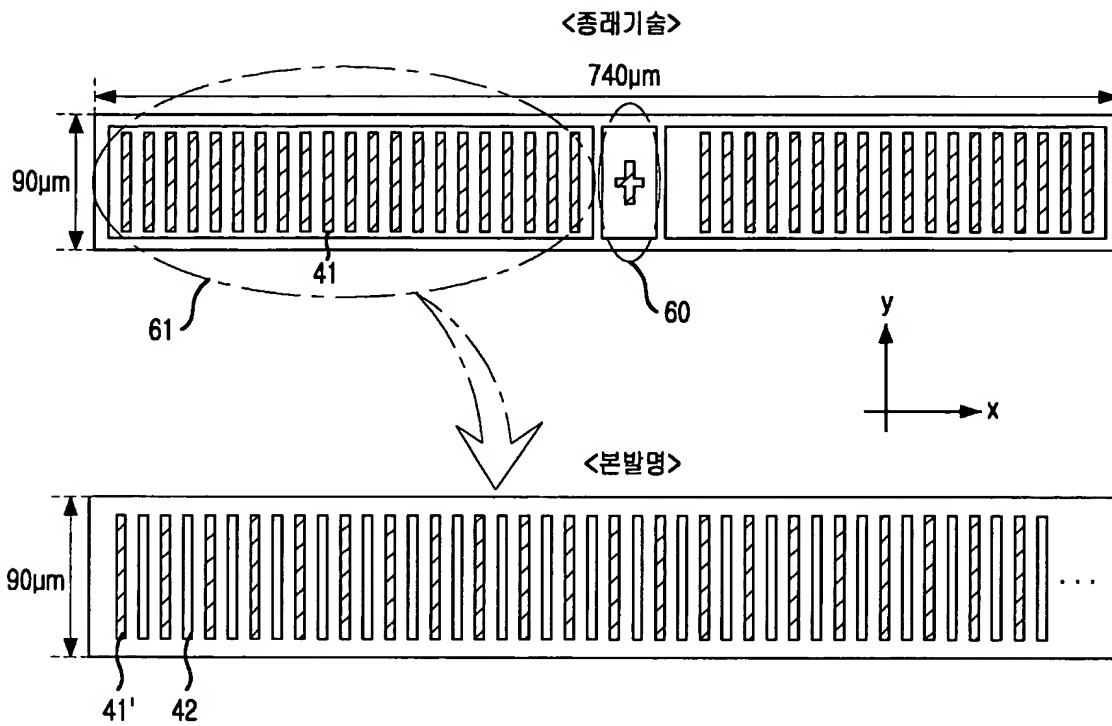
【도 4】



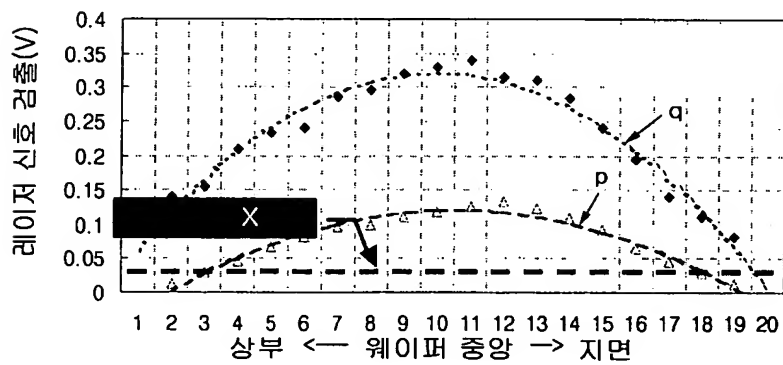
【도 5】



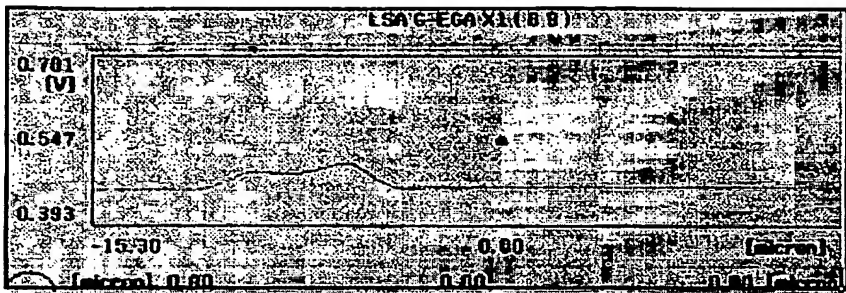
【도 6】



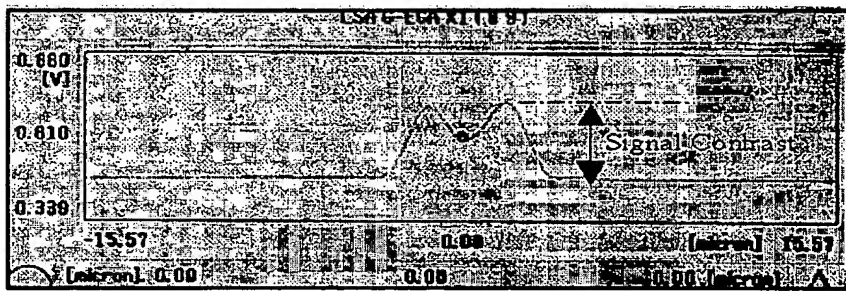
【도 7】



【도 8】



(a)



(b)

BEST AVAILABLE COPY